

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/004140

International filing date: 03 March 2005 (03.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: US
Number: 60/553125
Filing date: 16 March 2004 (16.03.2004)

Date of receipt at the International Bureau: 14 April 2005 (14.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

23. 3. 2005

PA 1280385

THE UNITED STATES OF AMERICA

TO ALL TO WHOM THESE PRESENTS SHALL COME:
UNITED STATES DEPARTMENT OF COMMERCE

United States Patent and Trademark Office

February 08, 2005

**THIS IS TO CERTIFY THAT ANNEXED HERETO IS A TRUE COPY FROM
THE RECORDS OF THE UNITED STATES PATENT AND TRADEMARK
OFFICE OF THOSE PAPERS OF THE BELOW IDENTIFIED PATENT
APPLICATION THAT MET THE REQUIREMENTS TO BE GRANTED A
FILING DATE UNDER 35 USC 111.**

APPLICATION NUMBER: 60/553,125**FILING DATE: March 16, 2004**

By Authority of the
COMMISSIONER OF PATENTS AND TRADEMARKS


E. BORNETT
Certifying Officer



PROVISIONAL APPLICATION FOR PATENT COVER SHEET
 This is a request for filing a PROVISIONAL APPLICATION FOR PATENT under 37 CFR 1.53(c).

U.S. PTO
19587
160/453125

031604

INVENTOR(S)

Given Name (first and middle [if any])	Family Name or Surname	Residence (City and either State or Foreign Country)	
Masato KOBAYAKAWA		Chiba	Japan
Iideki TOMOZAWA		Chiba	Japan
Misayuki MIKI		Ichihara	Japan

Additional inventors are being named on the _____ separately numbered sheet(s) attached hereto

TITLE OF THE INVENTION (500 characters max)
 GALLIUM NITRIDE-BASED SEMICONDUCTOR DEVICE

CORRESPONDENCE ADDRESS

Direct all correspondence to the address for SUGHRUE MION, PLLC filed under the Customer Number listed below:

WASHINGTON OFFICE

23373

CUSTOMER NUMBER

ENCLOSED APPLICATION PARTS (check all that apply)

<input type="checkbox"/> Specification (Japanese Language)	<i>Number of Pages</i>	8	<input type="checkbox"/> CD(s), Number	_____
<input type="checkbox"/> Drawing(s)	<i>Number of Sheets</i>	1	<input type="checkbox"/> Other (specify)	_____
<input type="checkbox"/> Application Data Sheet. See 37 CFR 1.76				

METHOD OF PAYMENT OF FILING FEES FOR THIS PROVISIONAL APPLICATION FOR PATENT

Applicant claims small entity status. See 37 CFR 1.27.

A check or money order is enclosed to cover the Provisional filing fees. The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

The USPTO is hereby authorized to charge the Provisional filing fees to our Deposit Account No. 19-4880. The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

FILING FEE
AMOUNT (\$)

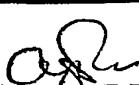
\$160.00

The invention was made by an agency of the United States Government or under a contract with an agency of the United States Government.

No.

Yes, the name of the U.S. Government agency and the Government contract number are: _____

Especially submitted,

SIGNATURE 

TYPED or PRINTED NAME Abraham J. Rosner

TELEPHONE NO. (202) 293-7060

DATE March 16, 2004

REGISTRATION NO. 33,276

DOCKET NO. P80399

USE ONLY FOR FILING A PROVISIONAL APPLICATION FOR PATENT

【書類名】明細書

【発明の名称】窒化ガリウム系半導体素子

【技術分野】

【0001】

本発明は、発光ダイオード（L E D）、レーザーダイオード（L D）やp i n型受光素子等のp型窒化ガリウム系半導体層を備えた窒化ガリウム系半導体素子に関する。

【背景技術】

【0002】

組成式 $A_1 x G_a Y I_n z N$ ($0 \leq X, Y, Z \leq 1, X + Y + Z = 1$) 等で表記される窒化ガリウム（GaN）系半導体材料は、短波長可視光から紫外光領域に相当するエネルギーの直接遷移型のバンドギャップ（band gap）を有するため、従来から、青色、緑色、或いは紫外L E DやL D等のp n接合型構造の発光素子を構成するに利用されている（例えば、特許文献1参照）。

【0003】

p n接合型窒化ガリウム系半導体発光素子を構成するための、p型伝導性のGaN系半導体層は、従来から、元素周期律表の第II族元素をp型不純物（第II族不純物）として添加して形成されている。例えば、GaN層にイオン注入手段に依り、マグネシウム（Mg）や亜鉛（Zn）等の第II族不純物を添加する技術が既に開示されている（例えば、特許文献2参照）。

【0004】

第II族不純物を添加した窒化ガリウム系半導体層は、しかしながら、そのままでp型の電導を呈する良導電層とは一般にならない。この原因は、例えば、気相成長時に成長環の電界から層内に浸透して来る水素（H）が、添加された第II族不純物を電気的に補償し、不純物を活性化させるためとされている。このため、従来では、第II族不純物を添加した窒化ガリウム系半導体層を形成した後、層内の水素を層外へ出来るだけ逸脱させるために熱処理（例えば、特許文献3参照）を施す技術手段が採られている。その他、第II族不純物を電気的に活性化させる技術手段として荷電粒子照射手段が既知である（例えば、特許文献4参照）。

【0005】

【特許文献1】特公昭55-3834号公報

【特許文献2】特開昭51-71590号公報

【特許文献3】特開平6-237012号公報

【特許文献4】特開昭53-20882号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところが、第II族元素をp型不純物として添加したGaN系半導体層から全量の水素を除去して得た低抵抗でp型の導電層を利用して、例えば、p n接合型L E Dを構成しても、必ずしも良好な整流特性或いは静電耐圧特性が安定して得られるとは限らない。特に、静電耐圧に関しては、p型GaN系半導体層を設けるための基板として、導電性の珪素（Si）単結晶（シリコン）、炭化珪素（SiC）、及び砒化ガリウム（GaAs）を用いた場合でさえも、必ずしも安定して良好とは限らないのが現状である。

【0007】

本発明は、上記の様な従来のp型GaN系半導体層を用いて構成された、例えば窒化ガリウム系L E Dに於ける静電耐圧の不安定さを、できるだけ抵抗の上昇を抑えながら克服し、静電耐圧を向上させることを目的とするものである。

【課題を解決するための手段】

【0008】

本発明は上記の目的を達成するためになされたもので、以下の各項の発明からなる。

(1) p型不純物を含有しp型の伝導性を示す窒化ガリウム系化合物半導体層（p型

層)を備えてなる窒化ガリウム系半導体素子に於いて、p型層は表層部とそれより内部の深底部からなり、該深底部はp型不純物とp型の伝導性を失わない範囲で水素とを共存させた領域となっている、ことを特徴とするp型層を含む窒化ガリウム系半導体素子。

(2) 上記p型不純物は、添加(ドーピング)、或いはイオン注入により含有されていることを特徴とする、上記(1)に記載の窒化ガリウム系半導体素子。

【0009】

(3) p型層内の深底部におけるp型不純物に対する水素の原子濃度の比率が略1:1であることを特徴とする、上記(1)乃至(2)に記載の窒化ガリウム系半導体素子。

(4) p型層内の深底部の膜厚を、p型層の厚さ(全厚)に対して、40%以上で9.9%以下とした、ことを特徴とする上記(1)または(3)に記載の窒化ガリウム系半導体素子。

【0010】

(5) p型層内の深底部の膜厚を、p型層の全厚に対し、70%以上とした、ことを特徴とする上記(4)に記載の窒化ガリウム系半導体素子。

(6) p型層の表層部における水素の含有量を、深底部の含有量に対し、1/3以下とした、ことを特徴とする上記(1)乃至(5)の何れかに記載の窒化ガリウム系半導体素子。

【発明の効果】

【0011】
本発明によれば、p型層内にp型不純物と共に特定量の範囲で水素を含有させた高抵抗の深底部を内在させたp型GaN系半導体層を用いてGaN系半導体素子を形成したので、静電耐圧に優れるGaN系半導体LEDが得られる。

【0012】
さらに、水素を残留させた高抵抗の深底部を内在させ、且つ、その深底部の上方の層(表層部)に、水素原子濃度を好ましくは深底部の1/3以下に減じた低抵抗の領域としたp型GaN系半導体層を用いてGaN系半導体素子を形成したので、静電耐圧に優れる、p型層全体の水素濃度を深底部と同様に含有させた場合に比べ順方向電圧の低いと共に、p型層全体の水素濃度を深底部と同様に含有させた場合に比べ順方向電圧の低いGaN系半導体LEDとすることができます。

【発明を実施するための最良の形態】

【0013】
本発明の窒化ガリウム系半導体素子は、p型の伝導性を示す窒化ガリウム(GaN)系化合物半導体層(p型層)を備えており、p型層は表層部とそれより内部の深底部からなり、深底部にはp型の不純物と特定量の範囲で水素が共存していることが特徴である。半導体素子のその他の構成は従来公知のものをそのまま利用することができる。

半導体素子の基板には、結晶、望ましくは単結晶からなる基板を用いる。例えばサファイア、立方晶及び六方晶のSiC等である。さらに焼化ガリウム(GaP)、GaN、シリコン、酸化亜鉛(ZnO)、GaN単結晶を用いることができる。p型層を、それと格子整合しない結晶基板上に積層をする際しては、シーディングプロセス(Seedling Process: SP)法(特開2003-243302号公報)と呼ばれる格子不整合結晶エピタキシャル成長技術を好都合に利用できる。

【0014】

基板上に、p型層を成長させるには、分子線エピタキシャル(MBE)、有機金属化学的気相堆積(MOCVD)、ハイドライド気相成長(HVPE)などの気相成長手段を利用することができます。GaN系半導体層を構成する窒素の原料(窒素源)としてアンモニア、ヒドラジン、アジ化物などを用いることができる。また、第III族構成元素の原料として、トリメチルガリウム、トリエチルガリウム、トリメチルインジウム、トリメチルアルミニウムなどを用いることができる。

【0015】

p型層の気相成長時に添加するp型不純物(ドーパント)としては、Mg、亜鉛(Zn)、ベリリウム(Be)、カルシウム(Ca)、ストロンチウム(Sr)、バリウム(Ba)

) 、カドミウム (Cd) 、及び水銀 (Hg) 等の第II族元素を例示できる。炭素 (C) 等の第IV族に属する両性不純物もあるが、Mg等の第II族元素をp型不純物として利用するのが望ましい。Mg等のp型不純物は、その不純物の層内に於ける原子濃度が 5×10^{-1} 8 cm⁻³以上で、 1×10^{20} cm⁻³以下となる様に添加されているのが望ましい。この不純物の濃度はp型層内で深底部でもその上の層 (表層部) でも殆ど変わりはない。p型層の内部のp型不純物の濃度は、一般的な2次イオン質量分析法 (SIMS) 、オーバージェ (Auger) 電子分光法 (AES) 等の分析手段に依り定量できる。

【0016】

本発明におけるp型層はp型GaNクラッド層、p型GaNコンタクト層などp型のGaN系層であれば制限無く適用することができ、これらの少なくとも一つの層に適用することができる。

p型層の深底部を含む全体の膜厚 (全厚) は、一般的には0.5 μm以下であり、望ましくは0.2 μm以下、更に望ましくは0.1 μm以下である。膜厚の下限は1 nm程度が好ましい。p型層の全厚は、気相成長時に於ける、成長反応系への第III族構成元素の原料の供給時間を調節すれば、制御できる。p型層の全厚は、例えば、光学顕微鏡、走査型電子顕微鏡 (SEM) 、透過型電子顕微鏡 (TEM) 等の観察より知れる。

【0017】

上記の如くの全厚を有するp型層にあって、本発明では層内の深底部に水素をp型の伝導性を失わない範囲で残存させる。p型の伝導性を失わない範囲とは、例えば抵抗値で表せば $10 \mu\Omega$ 以下程度である。深底部とはp型層の表面からみた奥部であり、図1の例で示すとコンタクト層107-1の領域である。この水素を残存させた深底部では、p型不純物と残存させた水素との原子濃度の比率は、略1:1とするのが好適である。したがつて水素濃度は上記の不純物濃度と略同じ 5×10^{18} cm⁻³以上、 1×10^{20} cm⁻³以下とするのが好ましい。p型不純物と残存させた水素原子とで、電気的に不活性な複合体を定量的にこの領域で形成するためである。p型層の表層部の水素濃度は深底部の濃度の1/3以下とすることが好ましい。不純物は深底部も表層部も殆ど変わらないので、表層部の水素濃度は不純物濃度の原子比で好ましくは1/3以下となる。p型不純物と水素の原子濃度は、例えば、SIMS等の分析手段を利用して定量できる。

【0018】

このp型不純物を、電気的に不活性化させるために水素を残存させると、順方向電圧 (Vf) や閾値電圧 (Vth) が増加することも考えられるが、膜厚が薄いため現実にはほとんど影響がない。深底部はp型層の全体の厚さ (全厚) に対して、40%以上で99.9%以下の厚さの領域である。また特に、p型層の全厚に対し、70%以上で99.9%以下とするとが好ましい。p型層の深底部と表層部の境界面はp型層で最も高い水素濃度の位置とし、SIMSにより判別する。

【0019】

p型不純物と電気的に不活性な複合体を形成している殆ど全ての水素を層外へできるだけ逸脱させる従来の熱処理手段は、本発明に係わる深底部の領域に特定量の水素を残存させる技術手段とは異なるものである。

本発明では、p型不純物を添加してp型不純物を含む層を形成したる後、不活性ガスを主体として構成した雰囲気内に於いて、制御された速度で同層を冷却して、特定量の水素を残存させて領域を形成することができる。冷却を開始する温度が、p型不純物を含む層の形成温度である場合、冷却速度が大きい程、水素を敢えて残存させた領域の厚みは減少する。また、冷却速度が同一である場合、冷却を開始する温度が高温である程、水素を残存させた領域の厚みは減少する。

【0020】

p型不純物を含む層の冷却は、例えば、窒素 (N₂) 、アルゴン (Ar) 、ヘリウム (He) 等の不活性ガスと水素 (H₂) ガスとの混合雰囲気内でも実施できる。水素の体積含有率をより大とする雰囲気中で冷却すると、水素を敢えて残存させた領域の厚みをより増加させられる。しかし、水素ガスの体積含有率は40%以下とするのが好適である。

素ガスの含有量を極端に大とすると、雰囲気中からp型不純物を含む層の内部へ入り込み水素の量が増えるため、水素を残存させる領域の厚みを良好に制御するに難を来たす。

【0021】

p型層内に特定量の水素を残存させる領域（深底部）の厚みは、冷却開始温度、冷却速度、及び雰囲気の構成に加え、冷却を行う設備の形状等にも依存して異なるものとなる。このためこれらの条件は一概には規定できないが、MgをドーピングしたGaN層を、その成長温度である1050℃から、窒素95体積%－水素体積5%の混合雰囲気内で、室温に至る迄、冷却する場合、本発明に係わる水素を残存させた領域を形成するに適する冷却速度は、総じて、毎分40℃以上で300℃以下である。アルミニウム（Al）を含む例えば、 $A_1 x G_a y N$ ($0 \leq x, y \leq 1, x+y=1$) 層の場合、冷却速度はより小さい（遅い）速度も許容される。

【0022】

冷却速度並びに冷却する際の雰囲気ガスの構成を変化させても、p型層内に添加されたp型不純物の原子濃度の分布は、然して変化しない。従って、層内に含まれている水素の減少率の冷却速度依存性等を、予め、調査しておけば、その減少率を基に、冷却速度等を調整して、p型層の深底部に、p型不純物と水素との原子濃度比率を略1:1とする領域を形成することも可能となる。

【0023】

p型層の層内の全てに水素を残存させると、また低い接触抵抗のオーミック電極の形成を阻害する。これらのことから、p型層をオーミック電極を形成するためのコンタクト（contact）層等として利用する場合、水素を残留させる領域を深底部に設け、一方で表面側は低抵抗としたp型層を用いるのが好都合である。

【0024】

p型オーミック電極を形成するためp型コンタクト層、或いはn型GaN系半導体層と接合させて低い順方向電圧をもたらすpn接合構造を構成するためのp型層等にあっては、表層部の水素原子の含有量は、同層の深底部の領域に取て残存させた水素原子の濃度の1/3以下とするのが望ましい。残存させる水素の濃度を減少させることで、p型層の表層部を低抵抗層となすことができる。

【0025】

p型層の表層部に、水素原子の濃度を減じたために、電気的に活性化されたp型不純物を多く含む低抵抗領域を形成するには、不活性ガスのみから構成される雰囲気内で冷却するのが効果的である。例えば、窒素、アルゴンまたはヘリウムから構成した雰囲気内で冷却するのが効果的である。具体的には、例えば、MOCVD法によってp型不純物を含む層を成長させた後、成長時の雰囲気を構成していた水素ガスを主に窒素ガスからなる雰囲気に切り替え、冷却すると形成できる。このことからして、冷却開始時に、上記の好ましい比率で水素を含む雰囲気内で、p型層の深底部に多量に水素原子を含む領域を形成し、その後、雰囲気を構成するガスを、不活性ガスを主体とする雰囲気として冷却すれば、深底部を多量の水素原子を残留させた高抵抗の領域とし、併せて、表層部を水素原子の濃度を深底部の領域の1/3以下とする低抵抗領域とするp型層を形成できる。

【0026】

p型層の表層部に低抵抗領域を形成する際の冷却速度は、深底部に多量の水素原子を残留させる領域を形成する場合の冷却速度より大きく（早く）するのが好適である。p型層の表層部に低抵抗層を形成するための冷却操作を、アンモニア（NH₃）等の水素と窒素との化合物のガスを主体とする雰囲気内で行うことも想到されるが、水素と窒素との化学結合の開放に因り放出される、水素（原子）が冷却中のp型層の表層部に侵入する場合があり、好ましくない。

【0027】

p型不純物を添加したGaN系半導体層の外部へ脱出させることなく、層内に残存させた水素は、同層の内部に高抵抗の領域を創出する作用を有する。

【0028】

p型不純物を添加したGaN系半導体層の内部に残存させた水素によって形成される高抵抗領域は、素子駆動電流を例えれば、発光層に平面的に拡散させる作用を有する。

【0029】

また、p型不純物を添加したGaN系半導体層の内部に残存させた水素によって形成される高抵抗領域は、素子駆動電流の例えれば、発光層への短絡的な流通を阻害する作用を有する。

【実施例】

【0030】

(実施例1)

本実施例では、水素を故意に残留させた領域を含むp型GaN系半導体層を用いてGaN系半導体LEDを構成する場合を例にして本発明の内容を具体的に説明する。

【0031】

本実施例に記載するLED10を作製するために使用したエピタキシャル構造体11の断面模式図を図1に示す。また、図2には、LED10の平面模式図を示す。

【0032】

積層構造体11は、基板101としたサファイアのc面((0001)結晶面)上に、順次、アンドープGaN層(層厚=2μm)102、珪素(Si)ドープn型GaN層(層厚=2μm、キャリア濃度=1×10¹⁹cm⁻³)103、Siドープn型Al_{0.97}Ga_{0.03}Nクラッド層(層厚=12.5nm、キャリア濃度=1×10¹⁸cm⁻³)104、6層のSiドープGaN障壁層(層厚=14.0nm、キャリア濃度=1×10¹⁸cm⁻³)と5層のアンドープIn_{0.20}Ga_{0.80}Nの井戸層(層厚=2.5nm)から多重量子構造の発光層105、Mgドープp型Al_{0.97}Ga_{0.03}Nクラッド層(層厚=10nm)106、及びMgドープGaNコンタクト層(層厚=100nm)107を積層して構成した。上記の積層構造体11の各構成層102~107は、一般的な減圧MOCVD手段で成長させた。

【0033】

特に、MgドープGaNコンタクト層107は以下の手順に依り成長させた。

(1) MgドープのAl_{0.97}Ga_{0.03}Nクラッド層106の成長が終了した後、成長反応炉内の圧力を2×10⁻⁴パスカル(Pa)とした。

(2) トリメチルガリウムとアンモニアを原料とし、ビスシクロペンタマグネシウム(bis-Cp₂Mg)をMgのドーピング源として、1050℃でMgドープGaN層の気相成長を開始した。

(3) トリメチルガリウムとアンモニアとMgのドーピング源を、成長反応炉内へ4分間に亘り継続して供給して、層厚を0.1μmとするMgドープGaN層を成長させた。

(4) トリメチルガリウムとbis-Cp₂Mgの成長反応炉内への供給を停止し、MgドープGaN層の成長を停止した。

【0034】

コンタクト層107としたMgドープGaN層の気相成長を終了させた後、直ちに、基板101の加熱するために利用していた、高周波誘導加熱式ヒータへの通電を停止した。これより、各構成層102~107を気相成長させた成長反応炉内で積層構造体11の冷却を開始した。冷却時の雰囲気は、積層構造体11の各構成層を気相成長させるに使用した水素キャリアガスに、窒素を混合させて構成した。窒素と水素の混合比率は、体積比率で95:5とした。この状態で、基板の温度を室温まで20分を費やして降温した。従つて、平均の冷却速度は毎分53℃となった。

【0035】

室温迄、冷却後、成長反応炉より積層構造体11を取り出し、コンタクト層107とするMgドープGaN層の層内でのマグネシウム及び水素の原子濃度を一般的なSIMS分析法で定量した。Mg原子は、7×10¹⁹cm⁻³の濃度で、表面から深さ方向に略一定の濃度で分布していた。一方、水素原子は、表層部で約2×10¹⁹cm⁻³と少なくなっているものの、表面から深さ30nm(表層部107-2)より深部では6×10¹⁸

9 cm^{-3} の略一定の濃度で存在していた。従って、下層 106 との接合界面から層厚の增加方向に 70 nm の厚さに至る Mg ドープ p 型 GaN 層 107 の深底部 107-1 には、Mg と水素との原子濃度比率を略 1:1 とする領域が形成されているのが示された。この領域の抵抗は、電流-電圧 (I-V) 特性から大凡、 $2 \text{ k}\Omega$ と見積もられた。

【0036】

上記の p 型層をコンタクト層 107 として備えたエピタキシャル層構造体 11 を用いて LED 10 を作製した。先ず、n 型オーム電極 108 を形成する予定の領域に一般的なドライエッチングを施し、その領域に限り、Si ドープ GaN 層 103 の表面を露出させた。露出させた表面部分には、チタン (Ti) / アルミニウム (Al) を重層させてなした。その他の領域に在る、故意に水素を残留させた n 型オーム電極 108 を形成した。発光層からの発光をサファイア基板 101 内に在するコンタクト層 107 の表面の略全域には、発光層からの発光をサファイア基板 101 側へ反射する機能を持たせた、白金 (Pt) 膜 / ロジウム (Rh) 膜 / 金 (Au) 膜を重層させた p 型オーム電極 109 を形成した。p 型コンタクト層 107 の表面と接触する金属膜は白金膜とした。

【0037】

p 型及び n 型のオーム電極 108, 109 を形成した後、サファイア基板 101 の裏面を、ダイヤモンド微粒などの砥粒を使用して研磨し、最終的に鏡面に仕上げた。その後、積層構造体 11 を裁断し、 $350 \mu\text{m}$ 角の正方形の個別の LED 10 へと分離した。次に、サブマウントに、オーム電極 108, 109 を各々、接着して、フリップ型のチップとした。更にそれをリードフレーム上に載置した後、金 (Au) 線でリードフレームと結線した。

【0038】

フリップ型にマウントした LED の p 側および n 側のオーム電極 108, 109 間に順方向電流を流して電気的特性及び発光特性を評価した。順方向電流を 20 mA とした際の順方向電圧 (V_f) は 3.2 V であった。また、サファイア基板 101 より外部へ透過して来る発光の波長は 455 nm であった。また、一般的な積分球で測定された発光出力は 1.0 mW であった。この様な特性を示す LED は、直径 2 インチの円形基板 101 の方で約 10000 個の LED について、ばらつきなく得られた。

【0039】

また、LED 10 について、簡易な静電破壊試験を実施した。静電気が突発的に印加されるのを想定して、パルス (plus) 電圧を電極間に瞬間に加え、その後、逆方向で電極間ショート (短絡) の有無を調査した。100 個の検体の内、1000 V のパルスの不良電圧印加で破壊される LED チップは、1 個であった。即ち、逆方向電圧 (V_r) の不良発生率は、1 % であった。

【0040】

(比較例)

上記の実施例 1 とは、成長後の処理法を変えて、Mg ドープ p 型 GaN コンタクト層を形成した。本比較例では、実施例 1 に記載の積層構造体を、実施例 1 に記載と同一の手順で形成した後、気相成長時に使用したキャリアガスの水素をそのまま流通し続け、条件で形成した後、室温迄、冷却した後、気相成長に用いたとは別の熱処理炉を用いて、窒素雰囲気中で、 900°C で 1 分間、保持し、従来と同様の p 型不純物を電気的に活性化するための熱処理を施した。

【0041】

一般的な、SIMS 分析に依り、本比較例に記載の Mg ドープ p 型 GaN 層の内部の水素原子濃度は、Mg の原子濃度 ($7 \times 10^{19} \text{ cm}^{-3}$) に比較すれば、約 2 衍以下であった。このため、p 型層内には、特に高濃度に水素が残存する領域は認められなかった。次に、実施例 1 と同様に、エピタキシャル積層構造体を加工し、マウントして LED チップを作製した。n 型及び p 型オーム電極の重層構成や平面形状も実施例 1 と同一とした。

【0042】

作製したLEDチップの電気的な特性と発光の特性は、実施例1に記述したものと然して変化は認められなかった。しかし、上記の如くの静電破壊試験では、100個のLEDの内、100Vのパルス電圧印加で破壊されるLEDは50個に達した。更に、100Vの低電圧の瞬時印加で逆方向耐電圧の不良を発生させなかつた50個のLEDも、100Vに於ける静電破壊検査試験で全数が電気的に破壊された。

【0043】

実施例1に記載のLEDと、本比較例のLEDとの相違点は、MGドープp型GaN層の内部に、水素を残存させた領域を形成したか否かのみである。上記の如く、本比較例に係わるLEDの静電耐圧試験の結果は、すこぶる悪い。このことは、水素を残存させる領域を内在するp型GaN系半導体層は、静電耐圧に優れるLEDを構成するに効果を奏すことを教示していた。

【0044】

(実施例2)

実施例2では、実施例1に記載したのと同一の積層構造体について、実施例1とは、異なる手法で冷却を施して、LEDを構成する場合を例にして、本発明の内容を説明する。

【0045】

コンタクト層107としたMgドープGaN層の気相成長を終了させた後、直ちに、基板101の加熱するために利用していた、高周波誘導加熱式ヒータへの通電を停止した。これより、各構成層102～107を気相成長させた成長反応炉内で図1の積層構造体11を1050℃から冷却し始めた。冷却時の雰囲気は、積層構造体11の各構成層を気相成長させるに使用した水素キャリアガスに、窒素を混合させて構成した。窒素と水素の混合比率は、体積比率で95:5とした。1050℃から800℃に至る迄、毎分70℃の速度で降温した。

【0046】

次に、800℃から600℃へ、窒素のみから構成した雰囲気中で冷却した。この温度間の冷却速度は毎分この状態で、基板の温度を室温まで20分を費やして降温した。従つて、平均の冷却速度は毎分85℃とした。

【0047】

室温迄、冷却後、成長反応炉より積層構造体11を取り出し、コンタクト層107とするMgドープGaN層の層内でのマグネシウム及び水素の原子濃度を一般的なSIMS分析法で定量した。Mg原子は、 $7 \times 10^{19} \text{ cm}^{-3}$ の濃度で、表面から深さ方向に略一定の濃度で分布していた。水素原子は、表層部で約 $5 \times 10^{18} \text{ cm}^{-3}$ と急激に減少していた。一方、表面から深さ30nmより深部では $6 \times 10^{19} \text{ cm}^{-3}$ の略一定の濃度で存在していた。即ち、下層106との接合界面から層厚の増加方向に70nmの厚さに至るMgドープp型GaN層107の深底部には、Mgと水素との原子濃度比率を略1:1とする高抵抗領域が形成されていた。また一方の表層部は、水素原子濃度を深底部のそれの1/10未満とする低抵抗領域となつた。I-V特性から、低抵抗領域の抵抗は約1Ωまたはそれ以下と見積もられた。

【0048】

実施例1に記載したのと同様に、図2に示すフリップ型にマウントしたLEDのp側およびn側のオーミック電極108、109間に順方向電流を流して電気的特性及び発光特性を評価した。順方向電流を20mAとした際の順方向電圧(Vf)は3.0Vであり、実施例1のLEDチップより低値となつた。また、サファイア基板101より外部へ透過して来る発光の波長は455nmであった。また、一般的な積分球で測定された発光出力は1.2mWであった。この様な特性を示すLEDは、直径2インチの円形基板101の略全面に形成された外観不良品を除く約10000個のLEDについて、ばらつきなく得られた。

【0049】

また、LED10について、簡易な静電破壊試験を実施した。静電気が突発的に印加さ

れるのを想定して、パルス (p l u s) 電圧を電極間に瞬間に加え、その後、逆方向での電極間ショート (短絡) の有無を調査した。100個の検体の内、1000Vのパルス電圧印加で破壊されるLEDチップは、1個であった。即ち、逆方向電圧 (V_r) の不良発生率は、1%であった。

【産業上の利用可能性】

【0050】

本発明の半導体素子は青色、緑色、紫外線等の発光ダイオード、レーザーダイオードやp i n型受光素子等に利用される。

【図面の簡単な説明】

【0051】

【図1】実施例1に記載の積層構造体の積層構成を示す断面模式図である。

【図2】実施例1に記載のLEDの平面模式図である。

【符号の説明】

【0052】

10 LED

11 積層構造体

101 結晶基板

102 アンドープGaN層

103 n型GaN層

104 n型AlGaNクラッド層

105 多重量子井戸構造発光層

106 p型AlGaNクラッド層

107 p型GaNコンタクト層

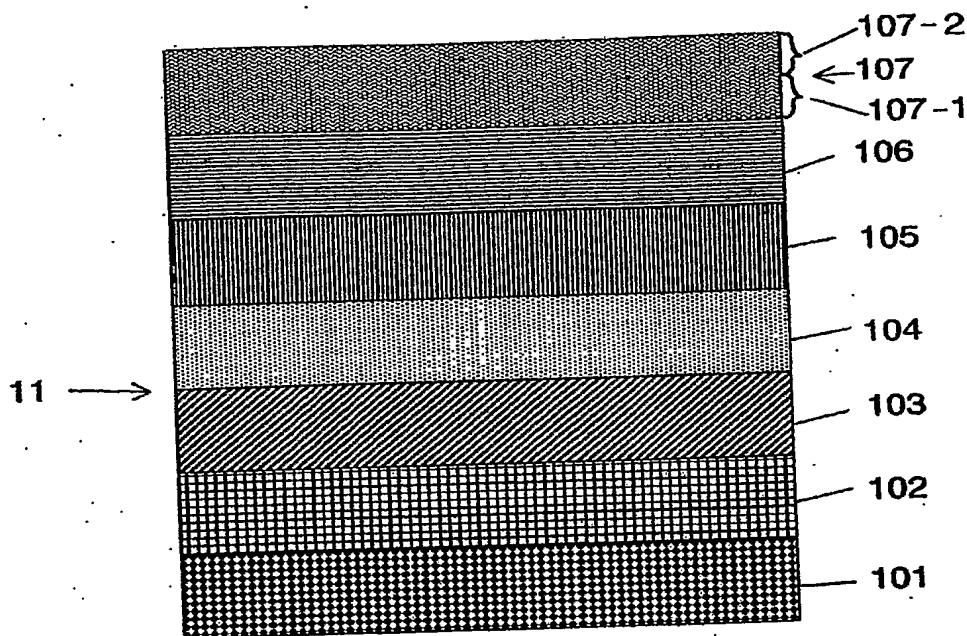
107-1 p型GaNコンタクト層の表層部

107-2 p型GaNコンタクト層の深底部

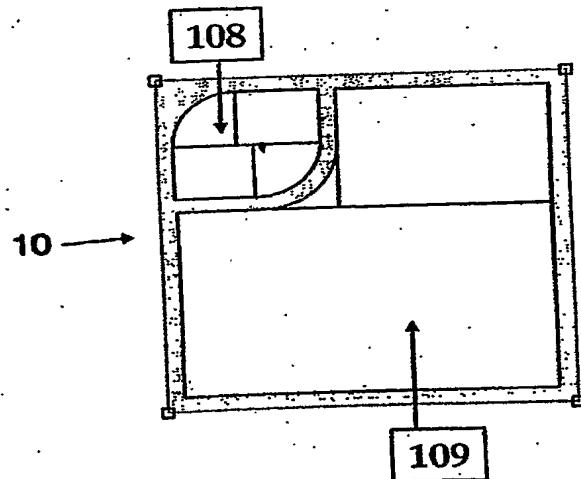
108 n型オームミック電極

109 p型オームミック電極

【書類名】図面
【図1】



【図2】



BEST AVAILABLE COPY